

技术要求

1. 采购标的需实现的功能或者目标

拟购设备主要用于大规模芯片设计及大规模 SOC 系统验证，是芯片设计流程中不可或缺的一部分，该设备能够加速芯片验证进程、支持多样化应用场景、提升验证效率与灵活性、支持跨地域多场景协同验证。该设备能够快速自动化实现高性能原型验证。该设备提供了高逻辑密度和 I/O 数量，搭配多样化的调试手段，能够缩减测试进程。

2. 工作条件

温度 20°C 至 25°C，电源规格：输入 AC 220V，输出 12V DC，单 U2 最大功耗 1kW，多设备需配置机架电源模块（支持 10×12V 端口），安装位置需稳固承重，有维护通道。

3. 配置要求

（1）核心处理模块

U2 模块：每 U2 集成 4 颗 Xilinx Virtex UltraScale+ XCVU19P FPGA，单颗 FPGA 配备 24 APC 连接器、8 HGC 连接器及 4 FMC 接口，提供高速信号传输与扩展能力。

4. 技术要求

- 1) ★板级集成度：单板集成 4pcs FPGA 芯片 逻辑单元总数不低于 35.6M
- 2) ▲支持基于 Verilog，SystemVerilog 和 VHDL（含 Bypass 模式）的 RTL 设计。
- 3) ▲设备级联能力：提供级联所需设备 SystemBus-HUB、Clock-HUB
- 4) ▲子卡支持：支持 UART/JTAG 等 FMC 接口子卡（不接受转接卡方案）
- 5) ▲支持基于 RTL 的设计分割；
- 6) ▲支持设计的自动划分，可自动评估选择最优划分方案；
- 7) ▲支持时序向导的自动分割
- 8) ▲原型环境构建便捷性：

在无需改动 RTL 设计代码的前提下，支持如下的功能：

- ①支持自动的 FPGA 内部资源(BRAM/URAM/LUTRAM)的平衡来优化设计

占用的整体面积；

② 在编译流程中自动处理跨模块信号引用。

9) ▲片外 SRAM 使用

支持用户设计中的 memory 映射到片外 SRAM 子卡，无需改动 RTL 代码，且 SRAM 支持后门读写

10) ▲调试能力

①支持非 VIVADO 工具下信号波形的抓取，支持多个 FPGA 不同时钟域的波形合并到同一个窗口

②单个波形存储子卡容量不小于 16GB

11) ▲系统级时序约束检查：

支持对用户设计中的时序约束进行检查，包括时钟结构、复位信号同步处理、跨时钟域路径检测等，并提供系统级跨 FPGA 的检查报告(非 vivado 软件时序报告)

12) ▲支持 DDR 存储模型套件：

支持 DDR 5.0 等高性能存储原型解决方案，支持后门访问；

提供 DDR 5.0 对应的 DFI PHY 模型

支持与 SOC 其他部分等比降频和时钟节拍行为准确的功能，可实现准确的访存性能评估。

13) ▲支持 PCIe 降速桥

①支持 PCIE 5.0/4.0/3.0 RC 模式的高性能降速桥速率适配解决方案 ；

②必须支持设计为 RC 且慢端支持 16lane

③基于 PIPE 接口完成和用户设计中的 PCIe 控制器连接

14) ▲增量波形调试：

支持增量波形调试，对于设计中编译未优化删除的信号，增加调试信号时无需重新进行第二次完整编译 流程，完成自动增量编译，直接进行布局布线快速生成 Bit 文件。

15) ▲设计签发时序分析：

布局布线之后,支持对整个设计签发时序的自动分析(含跨 FPGA 的时序路径自动分析，而不只限于单个的 FPGA)。可以在实际上板运行之前就计算出准确

的实际运行频率并且预测和实测结果偏差小于 10%。需要提供在采购方指定设计中运行结果的自动分析报告为佐证材料，其中必须的关键信息包括：

- ①路径分析起始点；
- ②路径分析终结点；
- ③launch 时钟和 capture 时钟信息 ；
- ④整个数据路径延迟(包括 TDM 部分)和路径各个部分单独的延迟；

16) ▲支持 PCIe-RC 子卡模式：

子卡要求能够支持 SlimSAS 接口方便设备扩展。

17) ▲支持 PCIe-EP 子卡模式：

子卡要求能够支持 SlimSAS 接口方便设备扩展。

18) ▲支持 DDR4 子卡：

子卡要求能够支持 DDR4 容量不得少于 16GB。

19) ▲支持 Flash 子卡：

子卡要求支持 EMMC/Nor Flash/SPI Flash/SDCard 等接口

20) 提供设备使用机柜设备

5. 兼容性与后续成本

无

6. 执行的相关标准

无